**UNIVERSIDAD TECNOLÓGICA DE QUERÉTARO**

**CESEQ**



**Diplomado en Software Embebido**

Proyecto Integrador: Control de velocidad de motor CD

Software Development Plan

DOCUMENT: Software Development

Document No. #CESEQ\_SDP\_001

Scrum Master: Guarneros, Héctor

Developer. Govea, Francisco

Date (YYYYMMDD): 20190405

Version: 1.0.0.

Project Version: x.x.x.

# Log

Document Version

|  |  |  |  |
| --- | --- | --- | --- |
| Version | Date (yyyymmdd) | Description | Reviewer |
| 1.0.0. | 20190405 | First release | Pérez, Adbeel |
|  |  |  |  |

Project Document Version

|  |  |  |  |
| --- | --- | --- | --- |
| Version | Date (yyyymmdd) | Description | Reviewer |
| 1.0.1. | 20190620 | Define scope and deliverables | Guarneros, Héctor |
| 1.0.2 | 20190621 | Added development methodologies, estimates and planning root files | Guarneros, Héctor |
| 1.1.0 | 20190622 | Added Verification Black Box, White box and CCRI root files | Guarneros, Héctor |
| 1.1.1 | 20190623 | Added naming convetions, Standars, Integration tests strategy root files | Guarneros, Héctor |

# Index

Table of Contents

[*1. Log 2*](#_Toc8215461)

[*2. Index 3*](#_Toc8215462)

[*3. Project Scope 4*](#_Toc8215463)

[*4. Deliverables 4*](#_Toc8215464)

[*5. Development methodology 4*](#_Toc8215465)

[*6. Estimates 4*](#_Toc8215466)

[*7. Planning 5*](#_Toc8215467)

[*8. Solving Problem Strategy 6*](#_Toc8215468)

[*9. Design 6*](#_Toc8215469)

[*9.1. Standards 6*](#_Toc8215470)

[*9.2. Naming conventions 6*](#_Toc8215471)

[*10. Testing 7*](#_Toc8215472)

[*10.1. Verification strategy (black box test) 7*](#_Toc8215473)

[*10.2. White box strategy 7*](#_Toc8215474)

[*10.3. Cyclomatic Complexity Redundance index 7*](#_Toc8215475)

[*11. Release 8*](#_Toc8215476)

[*11.1. Software Development Folder 8*](#_Toc8215477)

[*11.2. Integration Tests Strategy 8*](#_Toc8215478)

[*11.3. Validation Testing / Functional Testing 8*](#_Toc8215479)

[*11.4. Throughput and Flash and RAM measurement 9*](#_Toc8215480)

[*12. Results 9*](#_Toc8215481)

[*13. Lessons Learned 9*](#_Toc8215482)

# *Project Scope*

El objetivo del proyecto es controlar la velocidad de un motor de corriente directa mediante la aplicación de una señal cuadrada que varía en su ancho de pulso y cuya frecuencia de trabajo. Dicha frecuencia de trabajo **debe** estar en un rango de f=1KHz a f=10KHz.

Mediante el uso de un sensor de efecto hall acoplado al rotor del motor se **debe** medir la velocidad del motor el cual proveerá una serie de pulsos cada que se complete una vuelta completa, esta medición.

El voltaje de alimentación de la tarjeta de potencia **debe** ser de 12 Volts.

El motor **debe** seguir el valor de referencia o “*SetPoint*” (velocidad deseada), el cual estará dado por una entrada de la tarjeta de control.

La pantalla LCD o interfaz gráfica **debe** mostrar la velocidad del motor y SetPoint (ambos en RPM’s)..

Los requerimientos se definidos en el siguiente documento:

* <PATH PROYECTO>\DSE\_FH\_PRJ\*1) Requirements* \ [**SWRA\_20190405.xlsx**](1)%20Requirements/SWRA_20190405.xlsx)

# *Deliverables*

Los entregables al cliente se muestran en la siguiente tabla:

* Documentación
  + Liga del repositorio
  + Planeación
  + Plan de desarrollo del Software
  + Tareas/*Issues*/Épicas/*Milestones*
  + Esquemáticos
* Software
  + Código fuente/ Ejecutable
  + Control de Cambios
  + Pruebas de *Unit Test*
  + Diagramas de UML
  + Diagramas de flujo

# *Development methodology*

El desarrollo del proyecto se basa en la metodología *agile-scrum*, donde la planeación, control de cambios, asignaciones y tiempos se utilizó la herramienta de software libre *GitHub* y *ZenHub*, este último con la capacidad de desplegar el tablero de control de tareas amigable para su manejo.

|  |  |
| --- | --- |
| *SCRUM Methodology* | |
| *Daily Scrum Meetings* | **15** **minutos** |
| *Sprints Length* | 2 – 3 Días |
| *Scrum Master/Product Owner* | Guarneros, Héctor |
| *Software Developer* | Govea, Francisco |

Tabla - *Scrum Methodology*

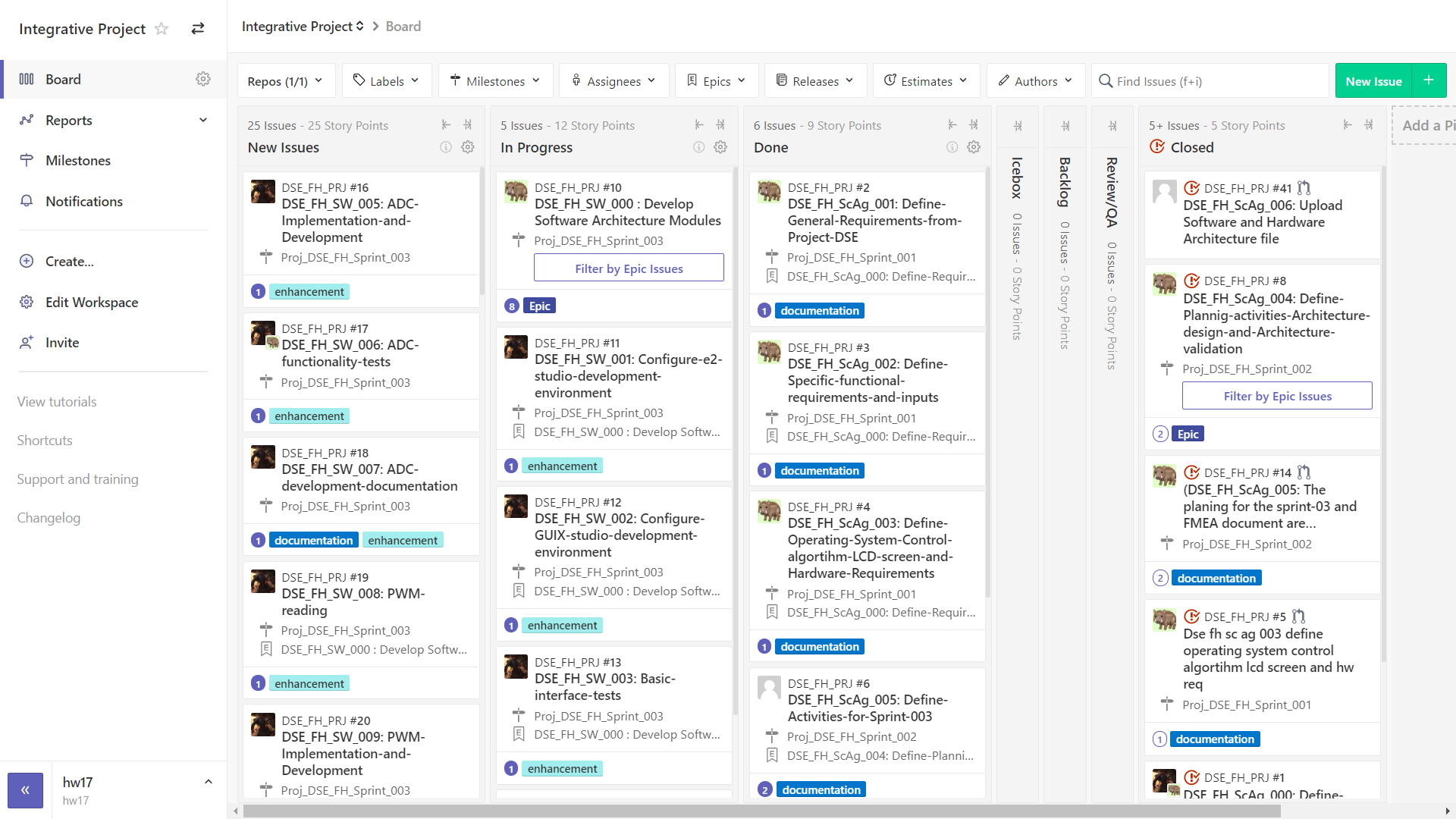


Imagen - *Workspace* de ZenHub-

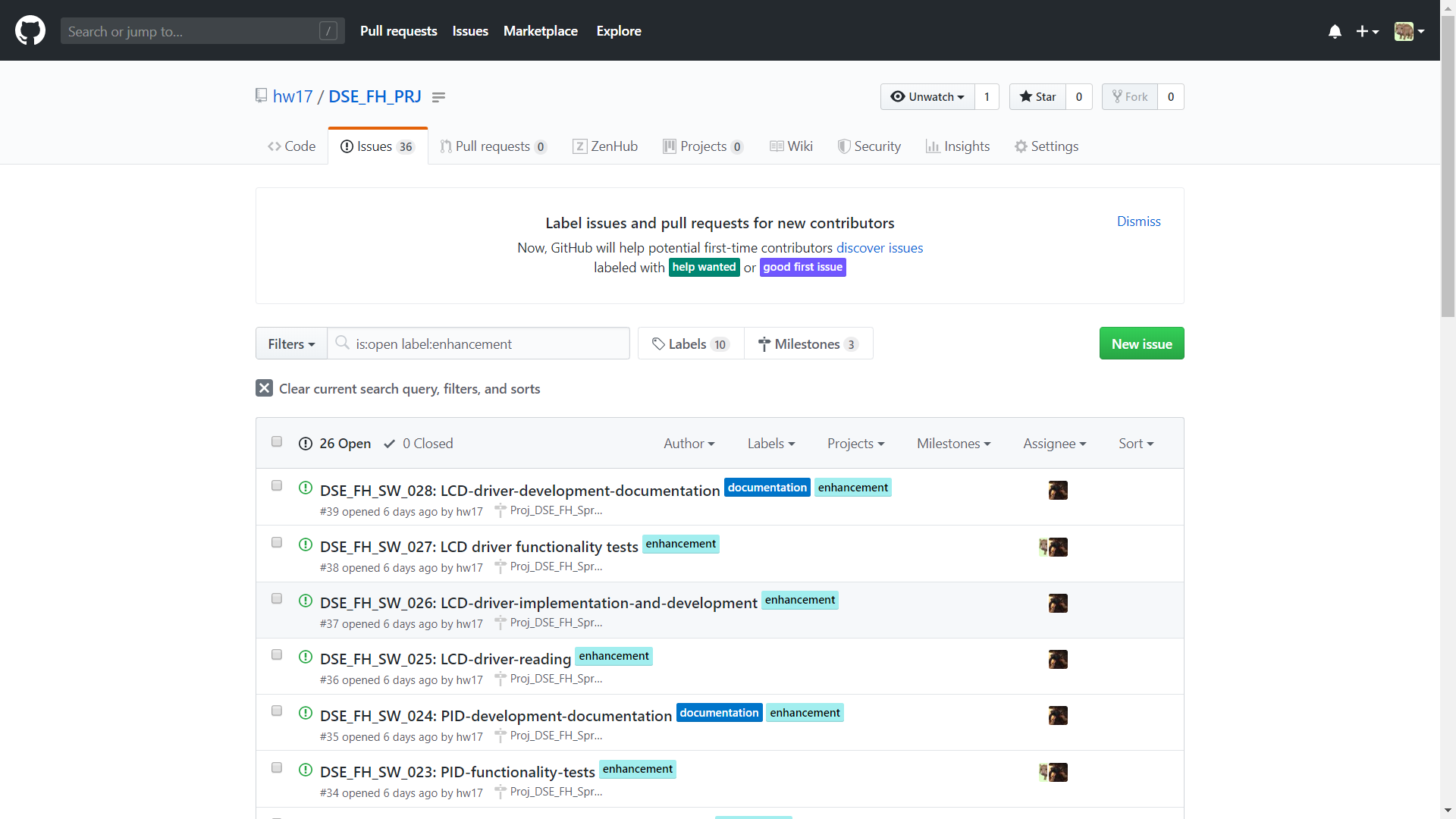


Imagen 2 - *Workspace* de la Herramienta GitHub

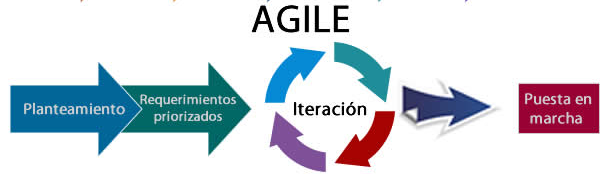


Imagen 3 - Agile-Scrum

La planeación definida se encuentra en el siguiente documento:

* <PATH PROYECTO>\DSE\_FH\_PRJ\*1) Requirements* \ **[7. Planning\_20190405](2)%20Planning/7.%20Planning_20190405.xlsx)**

# Estimates

* ***Facts:***
  + Disponibilidad **restringida** de la planta de control [8-26 julio 16:00-22:00hrs Lunes a Jueves; Viernes 14:00 – 18:00]
  + Disponibilidad del equipo de cómputo personal [Lunes – Viernes 18:00 – 22:00; Sábado – Domingo 8:00 – 13:00]
  + Disponibilidad **restringida** de computadora de escritorio en UTEQ control [8-26 julio 16:00-22:00hrs Lunes a Jueves; Viernes 14:00 – 18:00]
  + Disponibilidad **restringida** de la tarjeta de desarrollo [8-26 julio 16:00-22:00hrs Lunes a Jueves; Viernes 14:00 – 18:00]
  + Disponibilidad de osciloscopio [8-26 julio 16:00-22:00hrs Lunes a Jueves; Viernes 14:00 – 18:00]
  + Disponibilidad **restringida** de generador de señales [8-26 julio 16:00-22:00hrs Lunes a Jueves; Viernes 14:00 – 18:00]
  + Disponibilidad **restringida** de multímetro [8-26 julio 16:00-22:00hrs Lunes a Jueves; Viernes 14:00 – 18:00]
  + Disponibilidad **restringida** de Fuente de poder [8-26 julio 16:00-22:00hrs Lunes a Jueves; Viernes 14:00 – 18:00]
  + Un desarrollador de software para la programación de microcontrolador
  + Un desarrollador de software para la generación de evidencias (documentación).
  + Govea, Francisco será el Software Developer Lead
  + Guarneros, Héctor será el Scrum Master Lead.
  + Debido a los tiempos estimados para el curso y los horarios de las desarrolladores con sus respectivos trabajos algunas actividades definidas no se completaran como lo planificado
* ***Assumptions*:**
  + Disponibilidad de Laboratorio: Se dispuso de un horario para trabajar en el proyecto los viernes después de las 2, sin embargo se programaron clases en dicho horario
  + Disponibilidad del equipo para trabajar: En horarios a partir de las 18:00 o sin oportunidad de asistir por cuestiones de trabajo
  + Cambios de planta de control por motivos de malas condiciones y hardware dañado
* ***Risks***
  + Planta de control en mal estado o dañada
  + Tarjeta de desarrollo dañada
  + Periodos vacacionales de la UTEQ
  + Disponibilidad del equipo para trabajar
  + Entorno de trabajo (SW) desconocido para el equipo
  + Requerimientos ambiguos
  + Requerimientos inalcanzables
  + Malas conexiones de Hardware
  + Falta de conocimiento de la configuración de los módulos del *e2 studio*
  + Falta de conocimiento del Sistema Operativo
  + Falta de conocimiento de implementación de faceta de control
  + Falta de conocimiento para el correcto funcionamiento de la pantalla
  + Disponibilidad de horarios de la UTEQ
  + Disponibilidad de horario de los desarrolladores

# *Planning*

Se definen los roles, las tareas, así como su duración y el responsable de ejecutarlas:

PROJECT\_PATH>\2) Planning\[**7. Planning\_20190405.xlsx**](2)%20Planning/7.%20Planning_20190405.xlsx)

# *Solving Problem Strategy*

En esta sección se define el documento Analisis Modal de fallo y efectos (DFMEA) para el proyecto.

PROJECT\_PATH>\2) Planning\[**8. DFMEA\_20190405.xlsx**](2)%20Planning/8.%20FMEA_20190405.xlsx)

# *Design*

La documentación relacionada a la arquitectura de software y de hardware se encuentra en:

PROJECT\_PATH>\3) Design\ [**Architecture Design.pdf**](3)%20Designing/Diseño%20Arquitectura.pdf)

El diagrama a de secuencia de software se encuentra en:

PROJECT\_PATH>\3) Design\ [**Software Diagram Sequences.pdf**](3)%20Designing/Software%20Diagram%20Sequences.pdf)

El documento de estandares de software se encuentra en:

PROJECT\_PATH>\3) Design\**9.1. SoftwareStandards\_20190405**

El diagrama de bloques de software se encuentra en:

PROJECT\_PATH>\3) Design\**3.) Software\_Blocks\_Diagram\_20190809**

## *Naming conventions*

La Documentación relacionada a las nomenclaturas de los archivos se encuentra en la siguiente ruta:

<PROJECT\_PATH>\3) Design\9.2. NamingConventions\_20190405.docx

# *Testing*

## *Verification strategy (black box test)*

La documentación relacionada a las pruebas de BlackBox se encuentran en:

<PROJECT\_PATH>\4) Verification\**10.1. BlackboxTest\_baseline.docx**

## *White box strategy*

La documentación relacionada a las pruebas de *WhiteBox* se encuentra en:

PROJECT\_PATH>\4) Verification\ **10.2. WhiteboxTest\_baseline.docx**

## *Cyclomatic Complexity Redundance index*

La documentación relacionada a las pruebas de Complejidad de Redundancia se encuentra en:

PROJECT\_PATH>\4)Verification\ 10.3. CCRI\_20190405

# *Release*

*Firmware version number*

*Date/Hw version/Sw version*

*20190405/001/ 001*

## *Integration Tests Strategy*

This section SHALL be contained in the planning and reflected in the schedule.

IT **SHALL** be defined a document baseline as a reference for all the project implementation. This document **SHALL** be located at:

<PROJECT\_PATH>\4) Verification\11.1. IntegrationTesting\_baseline.docx

…and its RESULT SHALL be located at:

<PROJECT\_PATH>\4) Verification\Results\11.1. IntegrationTesting\_20190405.docx

## Validation Testing / Functional Testing

This section SHALL be contained in the planning and reflected in the schedule.

IT **SHALL** be defined a document baseline as a reference for all the project implementation. This document **SHALL** be located at:

<PROJECT\_PATH>\4) Verification\11.2. ValidationTesting\_baseline.docx

…and its RESULT SHALL be located at:

<PROJECT\_PATH>\4) Verification\Results\11.2. ValidationTesting\_20190405.docx

## Throughput and Flash and RAM measurement

La documentación relacionada a medición de *Throughput/Flash/RAM* se encuentra en la siguiente ruta

It SHALL define the RAM, Flash and Throughtput measurements strategy at:

<PROJECT\_PATH>\4) Verification\ 11.3. ThroughputRAMFlash\_procedure